

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-13527

(43)公開日 平成7年(1995)1月17日

(51)Int.Cl. ^a	識別記号	序内整理番号	F I	技術表示箇所
G 0 9 G 3/36				
G 0 2 F 1/133	5 5 0	9226-2K		

審査請求 未請求 請求項の数3 O L (全 13 頁)

(21)出願番号 特願平5-159140

(22)出願日 平成5年(1993)6月29日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 大野 栄三

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

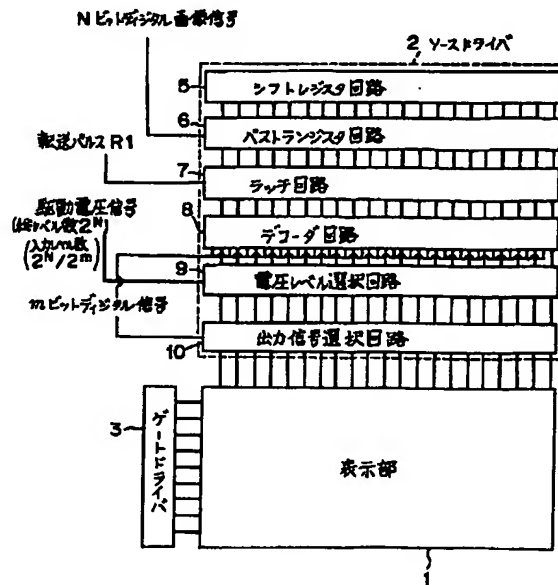
(74)代理人 弁理士 青山 稔 (外1名)

(54)【発明の名称】 表示装置および表示装置の駆動方法

(57)【要約】

【目的】 ソースドライバの駆動電圧入力端子数及び素子数を低減する。

【構成】 ソースドライバ2における1ソースラインに係るデコーダ回路8は、シフトレジスタ回路5、パストランジスタ回路6およびラッチ回路7を介して供給されるNビットのデジタル画像信号を $2^N/2^m$ 本のデシマル信号とmビットのデジタル信号とに変換する。当該ソースラインに係る電圧レベル選択回路9および出力信号選択回路10は、デコーダ回路8からの $2^N/2^m$ 本のデシマル信号とmビットのデジタル信号とに基づいて、1水平走査期間中にレベル数 $2^N/2^m$ ずつ 2^m 回に分けて順次入力される総レベル数 2^N の駆動電圧の中から一つの駆動電圧を選択して、当該ソースラインに出力する。こうして、必要とするレベル数 2^N より少ないレベル数 $2^N/2^m$ の駆動電圧を取り扱うようにして、ソースドライバ2の駆動電圧入力端子数及び素子数を低減する。



【特許請求の範囲】

【請求項 1】 マトリックス状に配列された画素とこの画素の夫々に接続されたスイッチング素子を有する表示部と、上記スイッチング素子の制御端子に走査線を介して走査電圧を印加して上記スイッチング素子をオンさせる第 1 駆動回路と、デジタル画像信号に応じたレベルの駆動電圧をオン状態にあるスイッチング素子の入力端子に信号線を介して供給して当該スイッチング素子に接続された画素を表示させる第 2 駆動回路を有する表示装置において、

上記第 2 駆動回路は、入力されるデジタル画像信号をデコードして、上記第 1 駆動回路によって 1 本の走査線に走査電圧が印加されている 1 水平走査期間を所定数に分割して成る各期間の何れか一つを選択するための期間選択信号と、上記各期間に入力される複数レベルの駆動電圧の何れか一つを選択するためのレベル選択信号を所定の手順で生成するデコーダ部と、

上記表示部の各画素に複数階調の画像を表示する際に必要とする所定レベル数の上記駆動電圧を上記各期間毎に上記所定数分の 1 のレベル数ずつ取り込み、上記各期間毎に取り込まれた複数レベルの駆動電圧の何れか一つを上記デコーダ部からのレベル選択信号に基づいて選択する電圧レベル選択部と、

上記電圧レベル選択部によって上記各期間毎に選択された駆動電圧を順次取り込むと共に、上記各期間の何れか一つを上記デコーダ部からの期間選択信号に基づいて選択し、この選択された期間中に上記電圧レベル選択部から取り込んだ駆動電圧を表示すべき画素に対応付けられた信号線に出力する出力信号選択部を備えたことを特徴とする表示装置。

【請求項 2】 請求項 1 に記載の表示装置であって、上記表示部のスイッチング素子と、上記第 1 駆動回路と、上記デコーダ部、電圧レベル選択部および出力信号選択部を含む第 2 駆動回路を、非結晶半導体によって同一基板上に一体に形成したことを特徴とする表示装置。

【請求項 3】 マトリックス状に配列された画素とこの画素の夫々に接続されたスイッチング素子を有する表示部と、上記スイッチング素子の制御端子に走査線を介して走査電圧を印加して上記スイッチング素子をオンさせる第 1 駆動回路と、デジタル画像信号に応じたレベルの駆動電圧をオン状態にあるスイッチング素子の入力端子に信号線を介して供給して当該スイッチング素子に接続された画素を表示させる第 2 駆動回路を有する表示装置の駆動方法であって、

上記第 2 駆動回路は、入力されるデジタル画像信号をデコードして、上記第 1 駆動回路によって 1 本の走査線に走査電圧が印加されている 1 水平走査期間を所定数に分割して成る各期間の何れか一つを選択するための期間選択信号と、上記各期間に入力される複数レベルの駆動電圧の何れか一つを選択するためのレベル選択信号を所

定の手順で生成し、

さらに、上記表示部の各画素に複数階調の画像を表示する際に必要とする所定レベル数の上記駆動電圧を上記各期間毎に上記所定数分の 1 のレベル数ずつ取り込んで、上記各期間毎に取り込まれた複数レベルの駆動電圧の何れか一つを上記レベル選択信号に基づいて選択し、さらに、上記各期間毎に選択されたレベルの駆動電圧の何れか一つを上記期間選択信号に基づいて選択して、表示すべき画素に対応付けられた信号線に出力することを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、平面型の表示装置および平面型の表示装置の駆動方法に関し、特に、デジタル画像信号が与えられ、そのデジタル画像信号によって表されるデジタル値に対応した階調表示を行う表示装置およびその駆動方法に関する。

【0002】

【従来の技術】 液晶表示装置を駆動する場合には、液晶の応答速度が CRT (陰極線管) 表示装置に使用される蛍光物質の応答速度と比較して非常に低いことから、特別の表示駆動回路が用いられる。

【0003】 すなわち、液晶表示駆動回路では、時事刻々送られてくる画像信号をそのまま各画素に与えるのではなく、1 水平走査期間内に各画素に対応してサンプリングした画像信号電圧をその水平走査期間中保持し、次の水平走査期間の先頭あるいはその途中の適当な時期に各画素に一斉に出力する。そして、各画素に対する画像信号電圧の出力を開始したら、液晶の応答時間を十分に上回る時間だけその出力電圧(画像信号電圧)を保持しておくのである。

【0004】 従来の液晶表示駆動回路においては、上述の出力された画像信号電圧の保持にコンデンサを用いている。図 8 は、上記従来の液晶表示駆動回路において、走査信号によって選択された 1 走査線上の N 個の画素に駆動電圧を供給するソースドライバの回路図である。また、このソースドライバにおける第 n 番目の画素に駆動電圧を供給する駆動電圧出力回路は、図 9 に示すように、アナログスイッチ SW_1 、サンプリングコンデンサ C_{SP} 、アナログスイッチ SW_2 、ホールドコンデンサ C_H および出力バッファアンプ A から構成されている。また、図 10 は、図 8 に示すソースドライバにおける動作タイミングチャートである。以下、図 8～図 10 に従って、従来の液晶表示駆動回路におけるソースドライバの動作について説明する。

【0005】 各アナログスイッチ SW_i に入力されたアナログの画像信号 V_s は、水平同期信号 H_{sync} 毎に選択される 1 本の走査線上の N 個の画素の夫々に対応するサンプリングクロック信号 $T_{SP1} \sim T_{SPN}$ に同期して“オン”状態にあるアナログスイッチ SW_i によって順次サン

プリングされる。そして、こうしてサンプリングされたアナログ画像信号 V_s の各サンプリング時点における瞬時電圧 $V_{smp1} \sim V_{smpn}$ が各サンプリングコンデンサ C_{smp} に印加される。その結果、第 n 番目のサンプリングコンデンサ C_{smp} は、アナログ画像信号 V_s における瞬時電圧 V_{smpn} によって充電されてその電圧が保持されるのである。

【0006】上記水平同期信号 H_{syn} の1サイクル期間中に、上述のようにしてサンプリングされて各サンプリングコンデンサ C_{smp} に保持された電圧 $V_{smp1} \sim V_{smpn}$ は、全アナログスイッチ SW_2 に一齐に与えられる出力パルス O_E に同期して、各サンプリングコンデンサ C_{smp} から対応するホールコンデンサ C_H に移動され、バッファアンプ A を介して各画素に接続されているソースライン $O_1 \sim O_N$ に出力される。

【0007】ところが、上述したようなアナログ画像信号 V_s に基づいて各画素に駆動電圧を供給する液晶表示駆動回路においては、液晶表示パネルの大容量化や高精細化を進める上において次に示すような幾つかの問題があることが明らかになっている。

【0008】(1) 上記サンプリングコンデンサ C_{smp} に充電された電荷をホールコンデンサ C_H に移す際に、ホールコンデンサ C_H に現れる電圧 V_H とサンプリングされた電圧 V_{smp} との間には次の式が成立する。

【数1】

$$V_H = \frac{1}{1 + \frac{C_H}{C_{smp}}} \cdot V_{smp}$$

【0009】したがって、上記ホールコンデンサ C_H によって保持される電圧 V_H がサンプリングされた瞬時電圧 V_{smp} と大略同じ値になるためには、サンプリングコンデンサ C_{smp} およびホールコンデンサ C_H の容量が $C_{smp} \gg C_H$ なる条件を満たす必要がある。つまり、サンプリングコンデンサ C_{smp} の容量をある程度以上大きな容量にする必要がある。ところが、上記サンプリングコンデンサ C_{smp} の容量が余りに大きいと、サンプリングコンデンサ C_{smp} を充電するための時間(1サンプリング時間)を長くとする必要がある。

【0010】しかしながら、最近における液晶表示装置の大型化あるいは高精細化に伴って1水平走査期間に駆動電圧を供給すべき画素の数が増大しており、それに反比例して1サンプリング時間を短くする必要がある。つまり、上述のようなアナログサンプリング方式では、液晶表示装置の大型化および高精細化には限界があるのである。

【0011】(2) 上記アナログ画像信号 V_s はバスラインを通してソースドライバに供給される。したがって、液晶表示装置の大型化および高精細化に伴ってアナログ画像信号の周波数帯域が広くなると共に、上記バス

ラインの配線容量が大きくなる。そのために、ソースドライバにアナログ画像信号を供給する回路側においては広帯域電力増幅器が必要となり、そのためにコスト上昇の原因となる。

【0012】(3) RGBビデオ信号によるカラー表示の場合のように複数のアナログ画像信号供給用バスラインを設ける場合には、液晶表示パネルの大容量化および高精細化に伴って、上述した広帯域電力増幅器に対して、出力される複数のアナログ画像信号間に位相差がなく、しかも振幅特性および周波数特性にばらつきが生じないように極めて高い性能および品質が要求される。

【0013】(4) CRTへの表示とは異なってマトリックス型液晶表示装置用の駆動回路では、クロックに同期してサンプリングしたアナログ画像信号に基づいてマトリックス状に配列された画素に画像を表示する。その際に、上記バスラインにおける遅延を含む上記駆動電圧出力回路内での信号の遅延が避けられないことから、アナログ画像信号に対するサンプリング時期の精度を確保することが非常に困難である。特に、上記アナログ画像信号におけるサンプリング時期と表示画素のアドレスとの間の関係を厳密に対応させる必要があるコンピュータグラフィックスの場合には、上記駆動電圧出力回路内で生ずる信号遅延及び周波数特性の劣化に起因する画像の表示位置のずれや画像の滲み等が重要な問題となる。

【0014】上記アナログ画像信号 V_s に基づいて画素に駆動電圧を供給する場合に生ずる問題の多くは、デジタル画像信号を用いることによって解決される。上記デジタル画像信号に基づいて画素に駆動電圧を供給する場合には、図11に示すようなソースドライバが用いられる。

【0015】以下、デジタル画像信号に基づいて画素に駆動電圧を供給するソースドライバについて説明する。尚、ここでは、簡単のために、デジタル画像信号は2ビット(D_1, D_0)で表される4つの値 $y_0 \sim y_3$ から構成されており、各画素には外部電源から供給される4つのレベルの駆動電圧 $V_0 \sim V_3$ の何れか一つが供給されるものとする。

【0016】図11に示すソースドライバは、 N 個の駆動電圧出力回路を有して N 個の画素に駆動電圧を供給する。そして、このソースドライバにおける n 番目の駆動電圧出力回路は、図12に示すように、デジタル画像信号(D_1, D_0)の夫々のビット信号が入力される2個の第1段目のDフリップフロップ(以下、サンプリング・フリップフロップと言う) M_{sn} 、2個の第2段目のDフリップフロップ(以下、ホール・フリップフロップと言う) M_{hn} 、1個のデコーダDECおよび4個のアナログスイッチ $ASW_0 \sim ASW_3$ から構成されている。

【0017】上記駆動電圧出力回路は次のように動作してソースライン O_n に駆動電圧を出力する。上記2個のサンプリング・フリップフロップ M_{sn} はサンプリングパ

ルス T_{SPH} の立ち上がり時点でデジタル画像信号 D_0 、 D_1 を取り込んで保持する。こうして、サンプリング・フリップフロップ M_{SP} に保持されたデジタル画像信号 D_0 、 D_1 は、1水平走査期間におけるサンプリングが終了した時点で、出力パルス O_E に同期してホールド・フリップフロップ M_H に取り込まれてデコーダ DEC に出力される。

【0018】そうすると、上記デコーダ DEC は、入力された2ビットのデジタル画像信号をデコードして得られた4つの値 $y_0 \sim y_3$ の夫々を、対応するアナログスイッチ $ASW_0 \sim ASW_3$ に供給する。そして、上記4つの値 $y_0 \sim y_3$ に応じてアナログスイッチ $ASW_0 \sim ASW_3$ の何れか一つが導通して、外部から供給される駆動電圧 $V_0 \sim V_3$ のうち上記導通したアナログスイッチに供給されている駆動電圧がソースライン O_i に出力されるのである。

【0019】

【発明が解決しようとする課題】このような、デジタル画像信号に基づいて画素に駆動電圧を供給するソースドライバによれば、上述の(1)～(4)の問題点は解消される。しかしながら、さらに以下のような問題を有している。

【0020】上記画素に表示する画像の階調が増加してデジタル画像信号のビット数が増えるに従って、ソースドライバを構成するDフリップフロップやデコーダ DEC 等のサイズが急激に大きくなる。その結果、回路面積や素子数が増加し、良品率も低下する。例えば、4ビットのデジタル画像信号を16本のデシマル信号に変換するデコーダ DEC の回路をMOS(金属酸化膜半導体)トランジスタによって構成した場合には、104個の素子が必要となる。

【0021】また、デジタル画像信号のビット数が増え、アナログスイッチ ASW の数は“2”の累乗で増加する。このアナログスイッチ ASW は、駆動電圧の電圧源とソースライン O との間に挿入されるオン抵抗となるためにそのサイズは大きい方が望ましく、数の増加は極端な回路面積の増加につながるのである。

【0022】また、上記デコーダ DEC およびアナログスイッチ ASW を多結晶シリコン薄膜トランジスタを用いてソースドライバ内に形成する場合には、表示部の画素に多階調の画像を表示する際に必要とする駆動電圧の総レベル数(すなわち、4ビットのデジタル画像信号による表示の場合には $2^4 = 16$)分の入力端子を用意する必要がある。

【0023】そこで、この発明の目的は、デジタル画像信号に基づいて階調表示を行う際のソースドライバの素子数の低減とそれに伴う回路面積の大幅な縮小が可能な表示装置およびその駆動方法を提供することにある。

【0024】

【課題を解決するための手段】上記目的を達成するた

め、請求項1に係る発明は、マトリックス状に配列された画素とこの画素の夫々に接続されたスイッチング素子を有する表示部と、上記スイッチング素子の制御端子に走査線を介して走査電圧を印加して上記スイッチング素子をオンさせる第1駆動回路と、デジタル画像信号に応じたレベルの駆動電圧をオン状態にあるスイッチング素子の入力端子に信号線を介して供給して当該スイッチング素子に接続された画素を表示させる第2駆動回路を有する表示装置において、上記第2駆動回路は、入力されるデジタル画像信号をデコードして、上記第1駆動回路によって1本の走査線に走査電圧が印加されている1水平走査期間を所定数に分割して成る各期間の何れか一つを選択するための期間選択信号と上記各期間に入力される複数レベルの駆動電圧の何れか一つを選択するためのレベル選択信号を所定の手順で生成するデコーダ部と、上記表示部の各画素に複数階調の画像を表示する際に必要とする所定レベル数の上記駆動電圧を上記各期間毎に上記所定数分の1のレベル数ずつ取り込み、上記各期間毎に取り込まれた複数レベルの駆動電圧の何れか一つを上記デコーダ部からのレベル選択信号に基づいて選択する電圧レベル選択部と、上記電圧レベル選択部によって上記各期間毎に選択された駆動電圧を順次取り込むと共に、上記各期間の何れか一つを上記デコーダ部からの期間選択信号に基づいて選択し、この選択された期間中に上記電圧レベル選択部から取り込んだ駆動電圧を表示すべき画素に対応付けられた信号線に出力する出力信号選択部を備えたことを特徴としている。

【0025】また、請求項2に係る発明は、請求項1に係る発明の表示装置であって、上記表示部のスイッチング素子と、上記第1駆動回路と、上記デコーダ部、電圧レベル選択部および出力信号選択部を含む第2駆動回路を、非結晶半導体によって同一基板上に一体に形成したことを特徴としている。

【0026】また、請求項3に係る発明は、マトリックス状に配列された画素とこの画素の夫々に接続されたスイッチング素子を有する表示部と、上記スイッチング素子の制御端子に走査線を介して走査電圧を印加して上記スイッチング素子をオンさせる第1駆動回路と、デジタル画像信号に応じたレベルの駆動電圧をオン状態にあるスイッチング素子の入力端子に信号線を介して供給して当該スイッチング素子に接続された画素を表示させる第2駆動回路を有する表示装置の駆動方法であって、上記第2駆動回路は、入力されるデジタル画像信号をデコードして、上記第1駆動回路によって1本の走査線に走査電圧が印加されている1水平走査期間を所定数に分割して成る各期間の何れか一つを選択するための期間選択信号と上記各期間に入力される複数レベルの駆動電圧の何れか一つを選択するためのレベル選択信号を所定の手順で生成し、さらに、上記表示部の各画素に複数階調の画像を表示する際に必要とする所定レベル数の上記駆

動電圧を上記各期間毎に上記所定数分の 1 のレベル数ずつ取り込んで、上記各期間毎に取り込まれた複数レベルの駆動電圧の何れか一つを上記レベル選択信号に基づいて選択し、さらに、上記各期間毎に選択されたレベルの駆動電圧の何れか一つを上記期間選択信号に基づいて選択して表示すべき画素に対応付けられた信号線に出力することを特徴としている。

【0027】

【作用】請求項 1 および請求項 2 に係る発明では、第 1 駆動回路によって 1 本の走査線に走査電圧が供給されると、当該走査線を介して、表示部にマトリクス状に配列された画素に接続されているスイッチング素子の制御端子に走査電圧が印加されて当該スイッチング素子が“オン”される。

【0028】そうすると、第 2 駆動回路は次のように動作する。すなわち、先ずデコーダ部によって、入力されたデジタル画像信号がデコードされて期間選択信号とレベル選択信号が所定の手順で生成される。そして、電圧レベル選択部によって、上記表示部の各画素に複数階調の画像を表示する際に必要とする所定レベル数の駆動電圧が 1 水平走査期間を所定数に分割して成る各期間毎に上記所定数分の 1 のレベル数ずつ取り込まれ、上記各期間毎に取り込まれた複数レベルの駆動電圧の何れか一つが上記デコーダ部からのレベル選択信号に基づいて選択される。

【0029】こうして上記各期間毎に選択された駆動電圧は出力信号選択部に順次取り込まれる。そして、この出力信号選択部によって、上記各期間の何れか一つが上記デコーダ部からの期間選択信号に基づいて選択され、この選択された期間中に取り込まれた駆動電圧が表示すべき画素に対応付けられた信号線に出力されるのである。

【0030】このようにして、上記第 2 駆動回路におけるデコーダ部、電圧レベル選択部および出力信号選択部によって、上記表示部の各画素に複数階調の画像を表示する際に必要とする上記所定レベル数を上記所定数で除したレベル数の駆動電圧が取り扱われて、上記所定レベル数の駆動電圧から当該信号線に出力すべきレベルの駆動電圧が選択される。

【0031】

【実施例】以下、この発明を図示の実施例により詳細に説明する。以下の説明においてはマトリクス型の液晶表示装置を例に説明するが、この発明は他の表示装置にも適用可能である。また、以下の説明においては多結晶シリコン薄膜トランジスタを回路素子として用いた場合を例に説明するが、この発明は他の材料による薄膜トランジスタを用いた表示装置にも適用可能である。

【0032】図 1 はこの発明の表示装置におけるソースドライバの構成を示すブロック図である。また、図 7 は、図 1 に示すソースドライバを有する表示装置の概略

構成図である。以下、図 1 によるこの発明の説明に先立って、図 7 に従ってこの発明に係る表示装置について説明する。

【0033】図 7 に示すように、表示部 1 は M 行 N 列に配列された $M \times N$ 個の画素 $P(j, i)$ ($j = 1, 2, \dots, M$; $i = 1, 2, \dots, N$) および上記画素 $P(j, i)$ に接続されたスイッチング素子 $T(j, i)$ ($j = 1, 2, \dots, M$; $i = 1, 2, \dots, N$) を有している。そして、この表示部 1 は、ソースドライバ 2 およびゲートドライバ 3 によって駆動される。

【0034】上記表示部 1 の領域内に平行に配列された複数の信号線 O_i ($i = 1, 2, \dots, N$) の夫々の一端は、ソースドライバ 2 の出力端子 $S(i)$ ($i = 1, 2, \dots, N$) の何れか一つに接続されている。さらに、信号線 O_i には同列に配列されたスイッチング素子 $T(j, i)$ の入力端子が接続されている。同様に、上記信号線 O_i に直交して平行に配列された複数の走査線 L_j ($j = 1, 2, \dots, M$) の夫々の一端はゲートドライバ 3 の出力端子 $G(j)$ ($j = 1, 2, \dots, M$) の何れか一つに接続され、各走査線 L_j には同行に配列されたスイッチング素子 $T(j, i)$ の制御端子が接続されている。

【0035】上記スイッチング素子 $T(j, i)$ としては、薄膜トランジスタ (TFT) が使用されている。以下、信号線 O_i をソースラインと呼び、走査線 L_j をゲートラインと呼ぶ。

【0036】上記ゲートドライバ 3 の出力端子 $G(j)$ からゲートライン L_j に、特定の期間を置いて、順次レベル“H”の電圧が出力される。ここで、上記特定の期間を 1 水平走査期間 jH ($j = 1, 2, \dots, M$) と呼び、総ての“j”に付いて上記 1 水平走査期間 jH を加算した時間を 1 垂直走査期間と呼ぶ。

【0037】上記ゲートドライバ 3 の出力端子 $G(j)$ からゲートライン L_j にレベル“H”の電圧(以下、この電圧を走査電圧と言う)が印加されると、この走査電圧は当該ゲートライン L_j に接続された薄膜トランジスタ $T(j, i)$ のゲート端子に印加されて当該薄膜トランジスタ $T(j, i)$ は“オン”状態となる。このようにして“オン”状態となった薄膜トランジスタ $T(j, i)$ のドレイン端子に接続された画素 $P(j, i)$ には、ソースドライバ 2 の出力端子 $S(i)$ からソースライン O_i を介して供給される電圧(以下、この電圧を駆動電圧と言う)に応じた電圧が充電される。こうして、上記画素 $P(j, i)$ に充電された電圧のレベルは 1 垂直走査期間中保たれて、当該画素 $P(j, i)$ には一定レベルの電圧が印加されるのである。

【0038】この発明は、その際において、“オン”状態となった薄膜トランジスタ $T(j, i)$ に接続された画素 $P(j, i)$ の電極に電圧を供給するソースドライバ 2 の構造およびその電圧の供給方法に関するものである。

【0039】この発明におけるソースドライバ 2 は次のようにして表示部 1 に駆動電圧を供給する。すなわち、

ゲートドライバ3の走査によって画素P(j,i)に接続されている薄膜トランジスタT(j,i)が“オン”状態になった際に、ソースドライバ2から“オン”状態となった当該薄膜トランジスタT(j,i)にデジタル画像信号に基づく上記駆動電圧を供給する期間を複数の期間に分割する。そして、分割された各期間毎に、上記画素P(j,i)に複数階調の画像を表示する際に必要な所定レベル数の駆動電圧を、上記期間分割数分の1のレベル数ずつ順次ソースドライバ2に inputs する。ソースドライバ2は、こうして順次入力される複数レベルの駆動電圧から何れか一つをデジタル画像信号に基づいて選択して、“オン”状態となった当該薄膜トランジスタT(j,i)に供給するのである。以下、上記ソースドライバ2の構成について詳細に説明する。

【0040】図1は、この発明におけるソースドライバ2の構成を示すブロック図である。ソースドライバ2は、並列されたシフトレジスタ回路5、パストランジスタ回路6、ラッチ回路7、デコーダ回路8、電圧レベル選択回路9および出力信号選択回路10から概略構成される。

【0041】上記ソースドライバ2に inputs されたNビットのデジタル画像信号は、シフトレジスタ回路5によってパストランジスタ回路6を構成する個々のパストランジスタが順次“オン”されることによって、逐次ラッチ回路7に送出されて保持される。こうしてラッチ回路7に1水平走査線分のデジタル画像信号が保持された時点で転送パルスR1に同期してトランスファゲートが導通状態となり、ラッチ回路7に保持されている1水平走査線分のデジタル画像信号がデコーダ回路8に転送される。

【0042】上記デコーダ回路8では、デジタル画像信号が後述するような $2^m/2^n$ 本のデシマル信号とmビットのデジタル信号に変換される。そして、上記デシマル信号は電圧レベル選択回路9に送出される一方、デジタル信号は出力信号選択回路10に送出される。

【0043】本実施例における表示部1の各画素P(j,i)には、Nビットのデジタル画像信号に基づいて 2^n 階調の画像を表示するものとする。したがって、本来、電圧レベル選択回路9には、外部電源からレベル数 2^n の駆動電圧が inputs される必要がある。

【0044】ところが、本実施例においては、ソースドライバ2の素子数を低減して回路面積の大幅な縮小を可能ならしめるために、ソースドライバ2に設けられる駆動電圧入力端子数を $2^m/2^n$ 個とする。そして、電圧レベル選択回路9および出力信号選択回路10においては、 $2^m/2^n$ の少ないレベル数の駆動電圧に基づいて上記デシマル信号およびデジタル画像信号に従って、以下に詳述するように総レベル数 2^n の駆動電圧の何れか一つを選択して表示部1に供給する。こうして、上記ソースドライバ2で取り扱う駆動電圧信号のレベル数を少

なくすることによって、デコーダ回路8、電圧レベル選択回路9および出力信号選択回路10を構成する素子数を少なくするのである。

【0045】以下、上記電圧レベル選択回路9および出力信号選択回路10の動作について説明する。ここで、駆動対象の画素P(j,i)に接続されている薄膜トランジスタT(j,i)が“オン”状態にある期間から、ラッチ回路7に1水平走査線分のデジタル画像信号が保持されるに必要な期間とデコーダ回路8によって $2^m/2^n$ 本のデシマル信号とmビットのデジタル信号が生成されるに必要な期間とを差し引いた期間を“T”とし、この期間“T”を 2^m 当分する。そして、上記電圧レベル選択回路9は、上記各期間“T/ 2^m ”毎に、総レベル数 2^n をレベル数 $2^m/2^n$ ずつ分けて供給される駆動電圧を上記 $2^m/2^n$ 個の駆動電圧入力端子(図示せず)から順次取り込む。そして、上記各期間“T/ 2^m ”毎に取り込んだレベル数 $2^m/2^n$ の駆動電圧から一つの駆動電圧を上記 $2^m/2^n$ 本のデシマル信号に基づいて選択して、出力信号選択回路10に送出する。

【0046】尚、その際における外部からの駆動電圧の供給は、例えば次のようにして実施される。すなわち、外部電源よりレベル数 $2^m/2^n$ の基準電圧を得る。そして、上記各期間“T/ 2^m ”毎に上記基準電圧を順次昇圧することによって総レベル数 2^n の駆動電圧を供給するのである。

【0047】上記出力信号選択回路10は、上記デコーダ回路8からのmビットのデジタル信号に基づいて、上記各期間“T/ 2^m ”のうち画素P(j,i)に駆動電圧を供給する期間を選択する。そして、この選択された期間中に上記電圧レベル選択回路9によって選択されたレベルの駆動電圧をソースラインO_iに出力するのである。こうして、上記期間“T”が経過した際には、総レベル数 2^n の駆動電圧から選択された1つのレベルの駆動電圧が駆動対象の画素P(j,i)に供給されるのである。

【0048】つまり、本実施例においては、上記 $2^m/2^n$ 本のデシマル信号で上記レベル選択信号を構成し、上記mビットのデジタル信号で上記期間選択信号を構成するのである。

【0049】上述のように上記ソースドライバ2を構成することによって、例えば4ビットのデジタル画像信号に基づいてレベル数 2^4 の駆動電圧を画素P(j,i)に供給する場合のデコーダ回路8は、20個のトランジスタで実現可能となる。

【0050】以下、上記構成のソースドライバ2の具体的な回路例について説明する。図2は上記シフトレジスタ回路5の具体的な回路図である。このシフトレジスタ回路5は、クロックドCMOS(相補型金属酸化膜半導体)インバータとノアゲートから構成され、駆動電源V_{DD}(図示せず)、スタートパルスSPおよびクロックパルスP1、P2に基づいて、図3に示すタイミングチャート

に従って動作してパストランジスタ回路6を構成する個々のパストランジスタに順次駆動パルスを出力する。

【0051】上記構成のシフトレジスタ回路5は、上記駆動電源 V_{DD} の電圧を18Vとし、クロックパルスP1、P2のパルス電圧を18Vとした際に、クロック周波数が2MHzで正常に動作する。尚、以下の説明は、総て上述の電圧値および周波数値による。また、本実施例における上記表示部1のゲートライン L_j の数およびソースライン O_i の数は共に100本であり、フレーム周波数は60Hzである。さらに、入力されるデジタル画像信号のビット数は4ビットであり、その電圧値は18Vである。

【0052】上述のようにしてシフトレジスタ回路5から順次出力された駆動パルスによってパストランジスタ回路6の個々のパストランジスタが順次“オン”となり、取り込んだ $N=4$ ビットのデジタル画像信号をラッチ回路7に転送する。このようにして1水平走査線分のデジタル画像信号がラッチ回路7に保持されると、既に述べたように、ラッチ回路7は、転送パルスR1に同期して保持しているデジタル画像信号をデコーダ回路8に転送する。 j 番目のゲートライン L_j の走査が開始されてからここまでの一連の動作が終了するまでの期間を“ T_0 ”とする。

【0053】図4は、上記デコーダ回路8、電圧レベル選択回路9および出力信号選択回路10の具体的な回路図である。上記デコーダ回路8は、2個のノットゲート11、12と4個のノアゲート13～16とで1単位を構成している。

【0054】図4において、例えば上記ソースライン O_i に係るデコーダ回路8に入力された4ビットのデジタル画像信号(G_0, G_1, G_2, G_3)のうちの上位2ビット(G_0, G_1)は、そのまま上記 $m=2$ ビットのデジタル信号として出力信号選択回路10を構成する一致回路21に入力される。一方、下位2ビット(G_2, G_3)は、上記ノットゲート11、12およびノアゲート13～16によって $2^3/2^2=2^1/2^2=4$ 本のデシマル信号 $D_0\sim D_3$ に変換される。そして、得られた4本のデシマル信号 $D_0\sim D_3$ の各々は、電圧レベル選択回路9を構成する4つのトランジスタ17～20の何れか一つのゲート端子に入力される。

【0055】こうすることによって、上記デジタル画像信号 $G_0\sim G_3$ の下位2ビット(G_2, G_3)の情報に応じてトランジスタ17～20の何れか一つが“オン”となり、総レベル数 $2^3=2^1=16$ の駆動電圧のうち現在入力されているレベル数 $2^3/2^2=2^1/2^2=4$ の駆動電圧 V_0, V_1, V_2, V_3 の何れか一つが選択され、出力信号選

択回路10を構成するパストランジスタ22に送出される。

【0056】上記出力信号選択回路10は、上述のように一致回路21とパストランジスタ22とから構成される。一致回路21はデコーダ回路8から入力される $m=2$ ビットのデジタル信号(B_0, B_1)と外部から入力される $m=2$ ビットのデジタル信号(S_1, S_2)とが一致した際にパストランジスタ22を“オン”にして、上述のようにして電圧レベル選択回路9によって選択された駆動電圧をソースライン O_i に出力させる。ここで、上記一致回路21は図5に示すような回路構成になっており、デジタル信号(B_0, B_1)のレベルとデジタル信号(S_1, S_2)のレベルとが一致した場合には、排他的オアゲート24、25から同じレベル“L”の信号が出力される。したがって、ノアゲート23からはレベル“H”の信号が出力されてパストランジスタ22が“オン”となるのである。

【0057】尚、上記 $m=2$ ビットのデジタル信号(B_0, B_1)は、パストランジスタ22を“オン”にする上記期間を設定するための信号である。すなわち、上述したように、駆動対象の画素 $P(j, i)$ に接続されている薄膜トランジスタ $T(j, i)$ が“オン”状態にある期間(つまり、1水平走査期間)から上記期間“ T_0 ”を差し引いた期間“ T ”を $2^3=2^2=4$ 当分した期間を順に“ T_1, T_2, T_3, T_4 ”とする。そして、デジタル信号(B_0, B_1)とパストランジスタ22を“オン”状態にする期間との関係を表1に示すように設定するのである。

【表1】

(B0, B1)レベル		パストランジスタ “オン”期間
B0	B1	
0	0	T1
1	0	T2
0	1	T3
1	1	T4

【0058】図6は j 番目のゲートライン L_j が走査されてスイッチング素子 $T(j, i)$ が“オン”状態にある1水平走査期間中における各信号のタイミングチャートである。また、表2はその際における各信号のレベルあるいは駆動電圧値を示す。

【表2】

13				14									
B1 G0	B2 G1	G2	G3	期間	D0	D1	D2	D3	V0	V1	V2	V3	
0	0	0	0	T1	0	0	0	1	0.0	0.5	1.0	1.5	
0	0	0	1		0	0	1	0					
0	0	1	0		0	1	0	0					
0	0	1	1		1	0	0	0					
0	1	0	0	T3	0	0	0	1	4.0	4.5	5.0	5.5	
0	1	0	1		0	0	1	0					
0	1	1	0		0	1	0	0					
0	1	1	1		1	0	0	0					
1	0	0	0	T2	0	0	0	1	2.0	2.5	3.0	3.5	
1	0	0	1		0	0	1	0					
1	0	1	0		0	1	0	0					
1	0	1	1		1	0	0	0					
1	1	0	0	T4	0	0	0	1	6.0	6.5	7.0	7.5	
1	1	0	1		0	0	1	0					
1	1	1	0		0	1	0	0					
1	1	1	1		1	0	0	0					

以下、図6および表2に従って、上記デコーダ回路8、
電圧レベル選択回路9および出力信号選択回路10の動作を具体的に説明する。

【0059】ここで、上記電圧レベル選択回路9に供給される駆動電圧の総レベル数は $2^4 = 2^2 = 16$ であり、図6および表2に示すように、外部電源より得たレベル数 $2^1 / 2^2 = 2^1 / 2^2 = 4$ の基準電圧 $V0 = 0.0V$, $V1 = 0.5V$, $V2 = 1.0V$, $V3 = 1.5V$ が各期間T1, T2, T3, T4毎にそのまま或は2Vずつ昇圧されて順次供給されるのである。

【0060】今、例えば、上記ラッチ回路7からデコーダ回路8におけるソースライン O_1 に係る回路にデジタル画像信号 $(G0, G1, G2, G3) = (0, 0, 0, 0)$ が入力されたとする。そうすると、デコーダ回路8では、デジタル画像信号 $(G0, G1, G2, G3)$ のうち上位2ビット $(G0, G1) = (0, 0)$ がデジタル信号 $(B1, B2)$ として入力信号選択回路10の一致回路21に送出される。その結果、デジタル信号 $(B1, B2) = (0, 0)$ によってパストランジスタ22を“オン”する期間は“T1”であると設定される。

【0061】次に、当該デジタル画像信号 $(G0, G1,$

30 $G2, G3)$ のうちの下位2ビット $(G2, G3) = (0, 0)$ が、デコード回路8によってデシマル信号 $D0 = 0, D1 = 0, D2 = 0, D3 = 1$ に変換される。その結果、電圧レベル選択回路9を構成する4つのトランジスタ17~20のうちトランジスタ20が“オン”となり、トランジスタ20に供給されている駆動電圧“V0”が出力信号選択回路10のパストランジスタ22に入力される。

【0062】したがって、上記期間T1, T2, T3, T4に外部から順次入力される駆動電圧 $V0(T1) = 0.0V$, $V0(T2) = 0.5V$, $V0(T3) = 1.0V$, $V0(T4) = 1.5V$ が選択されてパストランジスタ22に順次入力されることになる。

【0063】その間に、外部から、上記出力信号選択回路10の一致回路21には、図6に示すように期間“T1”に $(0, 0)$ となるデジタル信号 $(S1, S2)$ が入力される。一致回路21は、上述のように、デコーダ回路8から入力されるデジタル信号 $(B1, B2)$ とデジタル信号 $(S1, S2)$ とが一致した際にレベル“H”の信号を出力する回路である。したがって、上記デジタル信号 $(S1, S2)$ が $(0, 0)$ となってデジタル信号 $(B1, B2)$ と一致する期間“T1”に、一致回路21からレベル“H”の

信号が出力されてパストランジスタ22が“オン”となる。

【0064】その結果、上記期間“T1”に電圧レベル選択回路9のトランジスタ20によって選出された駆動電圧 $V_0(T1)=0.0V$ が、ソースライン O_i に出力されることになる。こうして、1水平走査期間中における上記期間“ $T=T1\sim T4$ ”に順次入力されるレベル数 $2^4=16$ の駆動電圧

期間T1	0.0V, 0.5V, 1.0V, 1.5V
期間T2	2.0V, 2.5V, 3.0V, 3.5V
期間T3	4.0V, 4.5V, 5.0V, 5.5V
期間T4	6.0V, 6.5V, 7.0V, 7.5V

の中から一つの駆動電圧 $0.0V$ のみが選出されて、ソースライン O_i を介して表示部1の画素 $P(j,i)$ に供給されるのである。

【0065】次の1水平走査期間に、例えば、デジタル画像信号 $(G0, G1, G2, G3)=(0, 1, 1, 1)$ が入力されたとする。そうすると、デコーダ回路8から上位2ビット $(G0, G1)=(0, 1)$ がデジタル信号 $(B1, B2)$ として一致回路21に送出されて、パストランジスタ22を“オン”する期間は“T3”であると設定される。

【0066】さらに、当該デジタル画像信号 $(G0, G1, G2, G3)$ の下位2ビット $(G2, G3)=(1, 1)$ が、デコード回路8によってデシマル信号 $D0=1, D1=0, D2=0, D3=0$ に変換される。その結果、電圧レベル選択回路9を構成する4つのトランジスタ17～20のうちトランジスタ17が“オン”となり、トランジスタ17に供給されている駆動電圧“V3”が出力信号選択回路10のパストランジスタ22に入力される。

【0067】一方、上記出力信号選択回路10の一致回路21には、期間“T3”に $(0, 1)$ となるデジタル信号 $(S1, S2)$ が入力される。したがって、デジタル信号 $(S1, S2)$ が $(0, 1)$ となってデジタル信号 $(B1, B2)$ と一致する期間“T3”に、一致回路21からレベル“H”の信号が出力されて、パストランジスタ22が“オン”となる。

【0068】その結果、上記期間“T3”に電圧レベル選択回路9のトランジスタ17によって選出された駆動電圧 $V3(T3)=5.5V$ が、ソースライン O_i に出力されることになる。こうして、当該1水平走査期間中における上記期間“ $T=T1\sim T4$ ”に順次入力される総レベル数 $2^4=16$ の駆動電圧 $(0.0V\sim 7.5V)$ の中からデジタル画像信号 $(G0, G1, G2, G3)=(0, 1, 1, 1)$ に基づいて一つの駆動電圧 $5.5V$ のみが選出されて、ソースライン O_i を介して表示部1の画素 $P(j,i)$ に供給されるのである。

【0069】以下、同様に、入力されるデジタル画像信号 $(G0, G1, G2, G3)$ に応じて、期間“T1～T4”における何れかの期間に駆動電圧“V0, V1, V2, V3”における何れかの駆動電圧が選択されて、表示部1の画素

$P(j,i)$ に供給される。

【0070】その際に、上記デコーダ回路8、電圧レベル選択回路9および出力信号選択回路10は、上記各期間“T1, T2, T3, T4”において4回に分けて順次取り込まれるレベル数 $2^4/2^2=4$ の駆動電圧を取り扱えばよいので、各回路を構成する素子数を少なくして回路面積を大幅に縮小できるのである。

【0071】このように、本実施例においては、ビット数 N のデジタル画像信号に基づいて 2^N 階調の画像表示を行うに際して、1水平走査期間を 2^N 分割した期間毎に総レベル数 2^N の駆動電圧をレベル数 $2^N/2^2$ ずつ分けて順次電圧レベル選択回路9に取り込む。一方、上記デコーダ回路8では、 N ビットのデジタル画像信号を $2^N/2^2$ 本のデシマル信号と m ビットのデジタル画像信号に変換する。そして、上記電圧レベル選択回路9では、デコーダ回路8からのデシマル信号に基づいて、上記各期間において取り込まれたレベル数 $2^N/2^2$ の駆動電圧の中から一つの駆動電圧を選択して出力信号選択回路10に送出する。

【0072】上記出力信号選択回路10は、上記各期間において電圧レベル選択回路9から送出されてくる駆動電圧のうち、外部からのデジタル信号 $(S1, S2)$ およびデコーダ回路8からのデジタル信号 $(B1, B2)$ に基づいて、特定の期間に電圧レベル選択回路9から送出されてくる駆動電圧を選択してソースライン O_i を介して画素 $P(j,i)$ に供給する。

【0073】このように、1水平走査期間を 2^N 期間に分割し、分割された各期間に総レベル数 2^N の駆動電圧をレベル数 $2^N/2^2$ ずつ取り込むので、デコーダ回路8、電圧レベル選択回路9および出力信号選択回路10は総レベル数 2^N の駆動電圧を取り扱う分の駆動電圧入力端子や素子を有する必要はなく、レベル数 $2^N/2^2$ の駆動電圧を取り扱う分の駆動電圧入力端子や素子で十分である。すなわち、本実施例によれば、1本のソースライン O_i 当たり、デコーダ回路8、電圧レベル選択回路9および出力信号選択回路10の部分を49個のトランジスタで構成可能である。これに対して、従来の表示装置のソースドライバの場合には120個のトランジスタが必要であり、大幅な回路素子の低減が可能である。

【0074】ここで、上記画素 $P(j,i)$ に接続された薄膜トランジスタ $T(j,i)$ を始め、ソースドライバ2を構成する回路素子は多数の多結晶シリコン薄膜トランジスタを用いて形成されている。この多結晶シリコン薄膜トランジスタは、次のようにして形成される。

【0075】先ず、上記表示部1の基板となる高歪み点ガラス基板上に、ジシランを原料にして低圧CVD(化学蒸着)法によってアモルファスシリコン薄膜を基板温度 450°C で形成する。こうして得られたアモルファスシリコン薄膜を窒素雰囲気中で 600°C で10時間アニールを行って多結晶化し、トランジスタのチャネル、ソー

スおよびドレイン部分を形成する。この多結晶シリコン薄膜上に、常圧CVD法によって二酸化ケイ素薄膜を形成してゲート絶縁膜とする。次に、低圧CVD法によって多結晶シリコン薄膜を形成して、パターンニングを行ってゲート電極を形成する。その後、上記ソースおよびドレイン部分にイオンを注入し、600℃で20時間活性化アニールを行って、N型あるいはP型の多結晶シリコン薄膜トランジスタを形成するのである。

【0076】上記シフトレジスタ回路、デコーダ回路8、電圧レベル選択回路9および出力信号選択回路10の具体的回路は、図2、図4および図5に示す回路図に限定されるものではない。また、上記デジタル画像信号の上位2ビットとパストランジスタ2を“オン”にする期間との関係や上記各期間(T1、T2、T3、T4)に供給される駆動電圧値は、表1、表2および図6に限定されるものではない。

【0077】

【発明の効果】以上より明らかなように、請求項1に係る発明の表示装置は、入力されるデジタル画像信号をデコードして期間選択信号とレベル選択信号を生成するデコーダ部と、1水平走査期間を所定数に分割して成る各期間毎に、所定レベル数の駆動電圧を上記所定数分の1のレベル数ずつ順次取り込んで何れか一つを上記レベル選択信号に基づいて選択する電圧レベル選択部と、上記電圧レベル選択部によって選択された駆動電圧を順次取り込むと共に、上記期間選択信号に基づいて選択した期間中に取り込んだ駆動電圧を表示すべき画素に対応付けられた信号線に出力する出力信号選択部を第2駆動回路に設けたので、表示部の画素に複数階調の画像を表示するに際して必要な上記所定レベル数の駆動電圧から当該信号線に出力すべきレベルの駆動電圧を選択するに際して、上記所定レベル数を上記所定数で除したレベル数の駆動電圧のみを取り扱えばよい。

【0078】したがって、上記第2駆動回路の駆動電圧入力端子数および素子数を上記所定レベル数の駆動電圧を取り扱う場合よりも大幅に低減でき、それに伴って回路面積を大幅に縮小できる。

【0079】また、請求項2に係る発明の表示装置は、上記表示部のスイッチング素子と上記第1駆動回路と上記デコーダ部、電圧レベル選択部および出力信号選択部を含む第2駆動回路を、非結晶半導体によって同一基板上に一体に形成するので、請求項1に係る発明の表示装置をより高密度にコンパクトに形成できる。

【0080】また、請求項3に係る発明の表示装置の駆動方法は、表示部と、上記表示部のスイッチング素子をオンさせる第1駆動回路と、デジタル画像信号に応じたレベルの駆動電圧をオン状態にあるスイッチング素子に供給する第2駆動回路を有する表示装置において、上記第2駆動回路は、入力されるデジタル画像信号をデコードして期間選択信号とレベル選択信号を生成し、1

水平走査期間を所定数に分割して成る各期間毎に、所定レベル数の駆動電圧を上記所定数分の1のレベル数ずつ順次取り込んで何れか一つを上記レベル選択信号に基づいて選択し、上記各期間毎に選択された駆動電圧の何れか一つを上記期間選択信号に基づいて選択して表示すべき画素に対応付けられた信号線に出力するので、上記表示部の画素に複数階調の画像を表示するに際して必要な上記所定レベル数の駆動電圧から当該信号線に出力すべきレベルの駆動電圧を選択するに際して、上記第2駆動回路は上記所定レベル数を上記所定数で除したレベル数の駆動電圧のみを取り扱えばよい。

【0081】したがって、この発明によれば、上記表示装置における上記第2駆動回路の駆動電圧入力端子数および素子数を上記所定レベル数の駆動電圧を取り扱う場合よりも大幅に低減することができ、それに伴って回路面積を大幅に縮小できる。

【図面の簡単な説明】

【図1】この発明の表示装置におけるソースドライバの構成を示すブロック図である。

【図2】図1におけるシフトレジスタ回路の具体的な回路図である。

【図3】図2に示すシフトレジスタ回路の動作タイミングチャートである。

【図4】図1におけるデコーダ回路、電圧レベル選択回路および出力信号選択回路の具体的な回路図である。

【図5】図4における一致回路の具体的な回路図である。

【図6】1水平走査期間中における各信号のタイミングチャートである。

【図7】図1に示すソースドライバを有する表示装置の概略構成図である。

【図8】従来の液晶表示駆動回路におけるソースドライバの回路図である。

【図9】図8に示すソースドライバにおける第n番目の駆動電圧出力回路の回路図である。

【図10】図8に示すソースドライバにおける動作タイミングチャートである。

【図11】従来のデジタル画像信号に基づいて画素に駆動電圧を供給するソースドライバの回路図である。

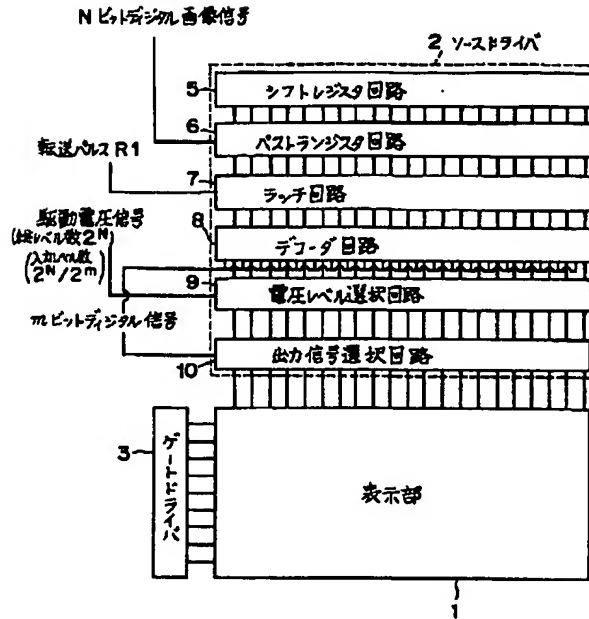
【図12】図11における第n番目の駆動電圧出力回路の回路図である。

【符号の説明】

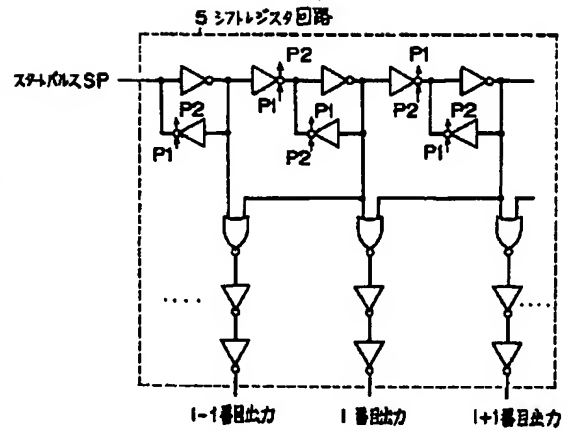
1…表示部、
2…ソースドライバ、
3…ゲートドライバ、
4…シフトレジスタ回路、
5…パストランジスタ回路、
6…ラッチ回路、
7…デコーダ回路、
8…電圧レベル選択回路、
9…出力信号選択回路、
10…ノットゲート、
11…12…ノットゲート、
13～16、23…ノアゲート、
17～20…トランジスタ、
21…一致回路、
22…パス

トランジスタ、24、25…排他的オアゲート。

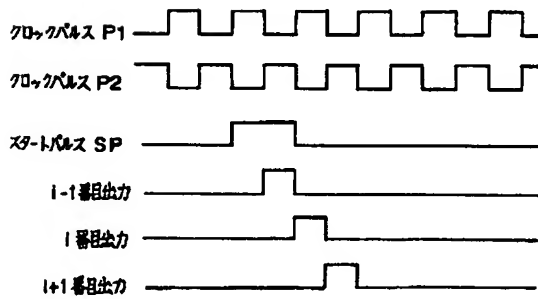
【図1】



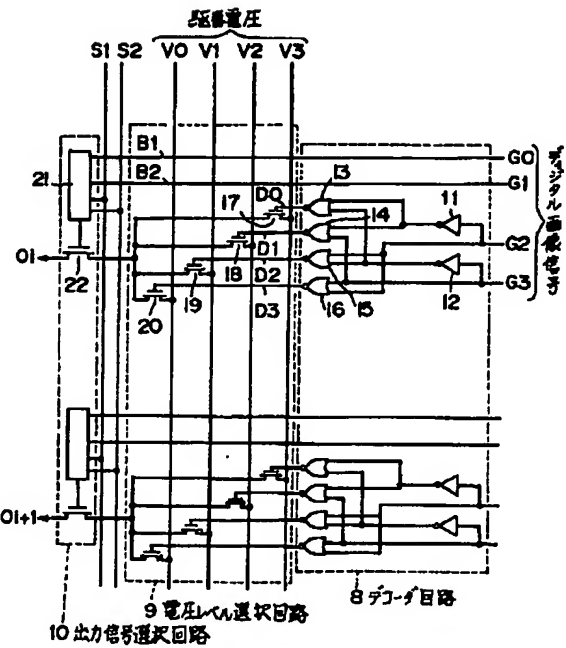
【図2】



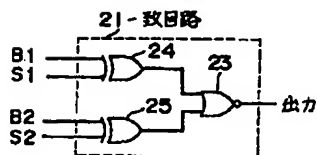
【図3】



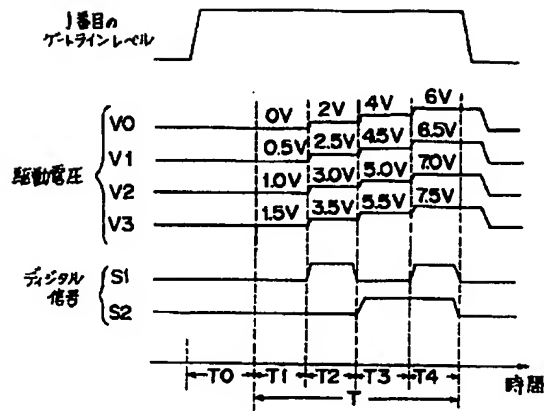
【図4】



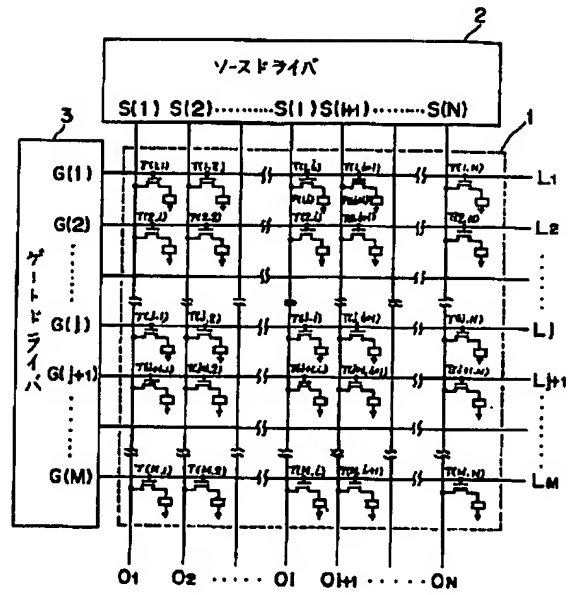
【図5】



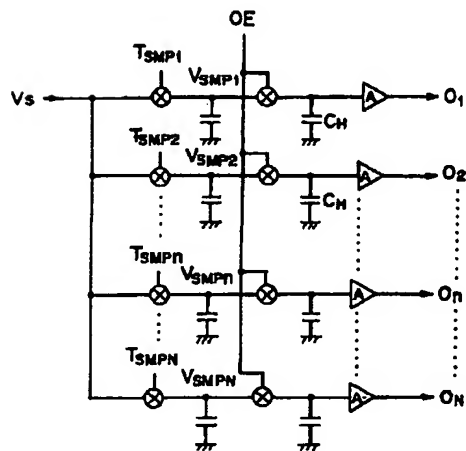
【図6】



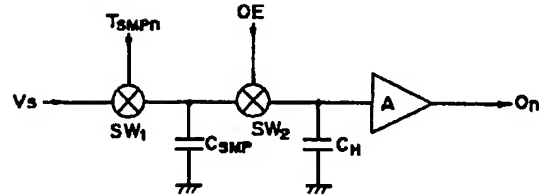
【図7】



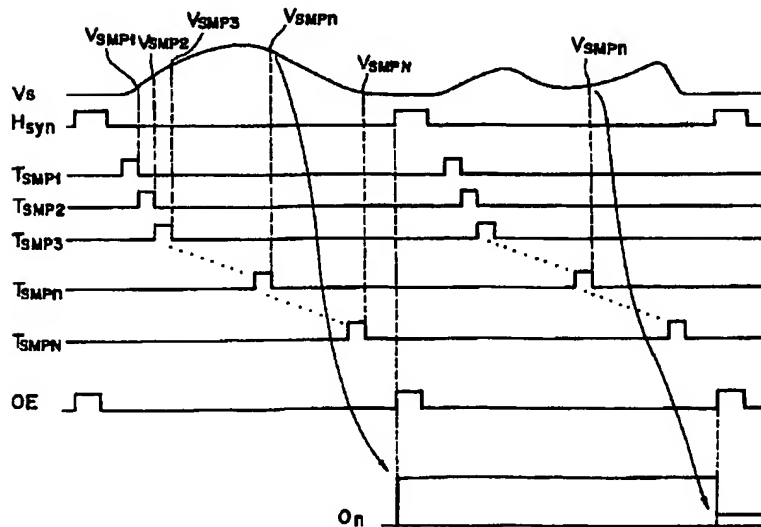
【図8】



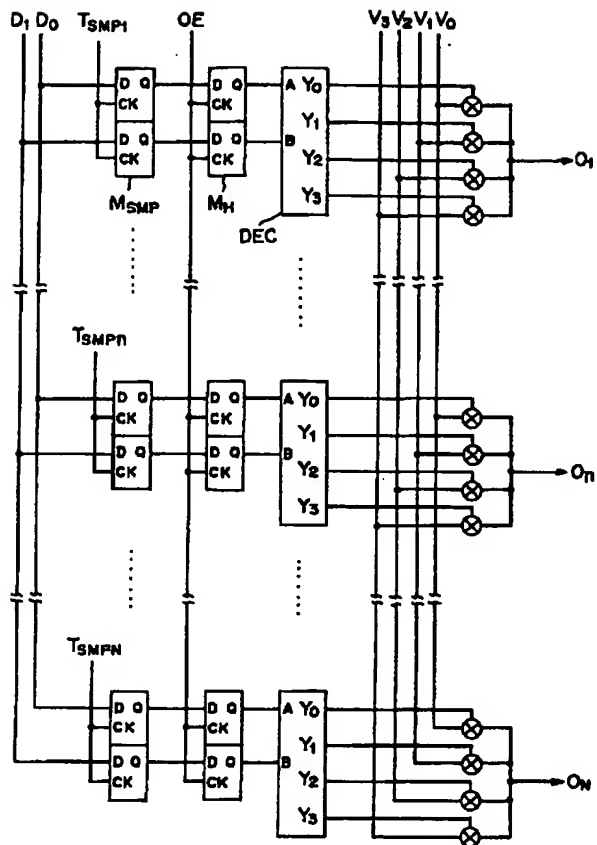
【図9】



【図10】



【図11】



【図12】

